

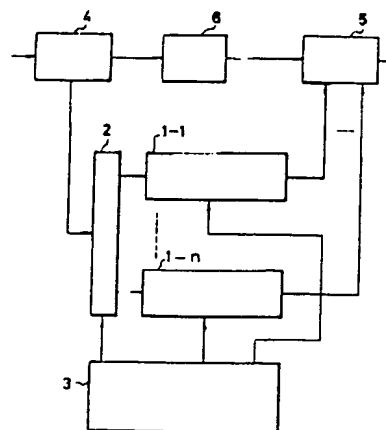
**(54) POLISHING CONTROL CIRCUIT**

(11) 5-244189 (A) (43) 21.9.1993 (19) JP  
 (21) Appl. No. 4-42769 (22) 28.2.1992  
 (71) FUJITSU LTD(1) (72) MICHIO KUSAYANAGI(3)  
 (51) Int. Cl.<sup>5</sup>. H04L12/48

**BEST AVAILABLE COPY**

**PURPOSE:** To improve the accuracy of polishing control and to reduce hardware of the polishing control circuit in the ATM communication system.

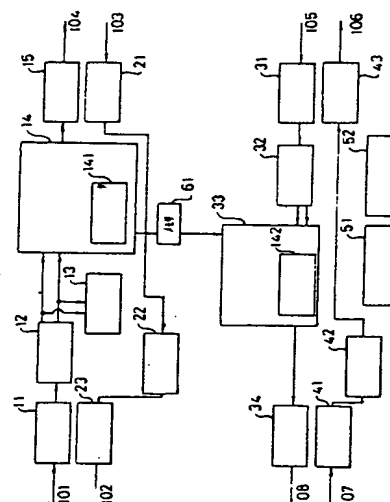
**CONSTITUTION:** A cell information branching section 4 branches cell identification information for headers and when incoming cells from illegal discrimination circuits 1-1 to 1-n are judged to be illegal ones, the processing such as abolishing cells added to a cell control section 5 is performed through a delay section 6. A parameter holding section 3 holding the polishing values from subscribers at call setting time and illegal discrimination circuits 1-1 to 1-n based on the time interval method, T-X method DB method, and CAT-M method or the like and a selection circuit 2 selecting one of the illegal discrimination circuits 1-1 to 1-n based on the polishing value held in the parameter holding section 3, are provided.

**(54) ATM TRAFFIC EVALUATION DEVICE**

(11) 5-244190 (A) (43) 21.9.1993 (19) JP  
 (21) Appl. No. 4-75971 (22) 28.2.1992  
 (71) TOSHIBA CORP(1) (72) KAZUHIRO SHIGETA(1)  
 (51) Int. Cl.<sup>5</sup>. H04L12/48

**PURPOSE:** To provide the evaluation device capable of changing the traffic characteristics when inputting the evaluation of the traffic characteristic of the real cell by means of an actual device and the flow of cell to an ATM exchange or to an ATM communication network.

**CONSTITUTION:** At least two inputs and one output are provided, and the only cell having the specific header pattern is detected from among the flow of cell inputted from a first input 101, measuring and evaluating the traffic characteristics for the specific cell flow. The parameter for traffic characteristic measurement is inserted into the specific cell to be sent from a first output 104. After passing the ATM exchange, the cell flow is inputted from a second input 103 to detect the only cell having the specific header patterns, measuring and evaluating the traffic characteristic.



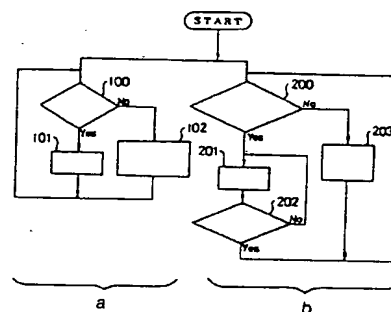
11,15,21,23,31,34,41,43: section for UNI, 12,42: cell extraction section, 13: traffic characteristic evaluation section, 14: traffic parameter addition section, 51: control section, 52: user interface, 61: memory, 141: traffic parameter generation section, 142: traffic parameter analysis section

**(54) TRANSFER DATA CONVERSION SYSTEM,**

(11) 5-244191 (A) (43) 21.9.1993 (19) JP  
 (21) Appl. No. 4-42687 (22) 28.2.1992  
 (71) OKI ELECTRIC IND CO LTD (72) YOSHIYUKI EJIMA(2)  
 (51) Int. Cl.<sup>5</sup>. H04L12/48, H04M3/00, H04Q11/04

**PURPOSE:** To provide the transfer data conversion method reducing the frequency of transmitting idle cells with less amount of memory used as a cell storage buffer converting a SDH(synchronizing digital hierarchy) format signal into a full cell stream signal.

**CONSTITUTION:** The system is provided with a cell storage buffer and a control means controlling the buffer. The control means abolishes all the overheads included in SDH frame signals and writes the only data of the cell included in the SDH frame signal in a cell storage buffer (100-102). The control means takes the amount at least one byte higher than the overhead amount generated most in one cell period as a threshold value to discriminate whether or not an idle cell is to be transmitted. At starting the transmission of a new cell, when the storage amount of cell storage buffer is higher than the threshold value, the cells are transmitted from the cell storage buffer, and when it is lower, an idle cell is transmitted. (200-203).



a: write control, b: read control

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-244189

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.<sup>6</sup>

H 0 4 L 12/48

識別記号

庁内整理番号

8529-5K

F I

H 0 4 L 11/ 20

技術表示箇所

Z

審査請求 未請求 請求項の数5(全 9 頁)

(21)出願番号

特願平4-42769

(22)出願日

平成4年(1992)2月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 草柳 道夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 竹尾 治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

最終頁に続く

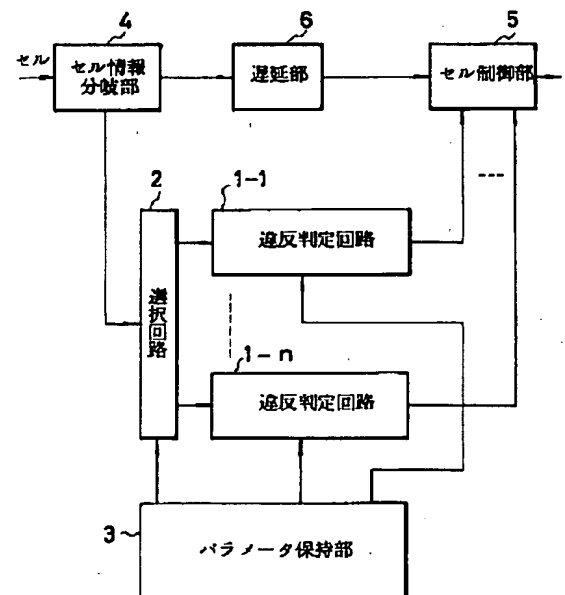
(54)【発明の名称】 ポリシング制御回路

(57)【要約】

【目的】 ATM通信方式に於けるポリシング制御回路に関し、ポリシング制御の精度を向上し、且つハードウェアを削減する。

【構成】 セル情報分岐4によりヘッダ等のセル識別情報を分岐し、違反判定回路により到着セルが違反セルと判定した時に、遅延部6を介してセル制御部5に加えられるセルの廃棄等の処理を行う構成に於いて、呼設定時の加入者からのポリシング申告値を保持するパラメータ保持部3と、時間間隔法、T-X法、DB法、CAT-M法等による複数種類の違反判定回路1-1~1-nと、パラメータ保持部3に保持されたポリシング申告値に基づいて複数種類の違反判定回路1-1~1-nの中の一つを選択する選択回路2とを備えている。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 非同期転送モード通信方式に於ける加入者からのポリシング申告値と、セルのトラヒックの測定値とを比較して制御を行うポリシング制御回路に於いて、

セルのトラヒックを測定して違反セルか否かを判定する複数種類の違反判定回路(1-1~1-n)と、前記加入者からのポリシング申告値に従って前記複数種類の違反判定回路(1-1~1-n)の中の一つを選択する選択回路(2)とを備えたことを特徴とするポリシング制御回路。

【請求項2】 セル到着時間間隔により違反判定を行う第1の違反判定回路と、所定時間内に於ける到着セル数により違反判定を行う第2の違反判定回路とを備えたことを特徴とする請求項1記載のポリシング制御回路。

【請求項3】 所定時間内に於ける到着セル数により違反判定を行う第2の違反判定回路と、所定セル数の到着時間間隔により違反判定を行う第3の違反判定回路とを備えたことを特徴とする請求項1記載のポリシング制御回路。

【請求項4】 前記選択回路(2)は、到着セルのセル識別情報に従って制御する構成としたことを特徴とする請求項1記載のポリシング制御回路。

【請求項5】 前記選択回路(2)は、ハイウェイ速度に対する前記加入者のポリシング申告値のパス速度に従って制御する構成としたことを特徴とする請求項1記載のポリシング制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ATM(Asynchronous Transfer Mode; 非同期転送モード)通信方式に於けるセルのトラヒックを監視するポリシング制御回路に関する。B-ISDN(Broadband-Integrated Services Digital Network; 広帯域ISDN)の基幹技術として、ATM通信方式の開発が進められている。このATM通信方式は、伝送データ単位をセルとして伝送するものであり、加入者から一時的に大量のセルが送出されると、交換機のバッファがオーバーフローする状態となり、他の加入者のセルを含めてセルの廃棄が生じることになる。そこで、呼設定時に加入者からセルの伝送帯域等のポリシング申告値を申告させ、この申告値以上の帯域を使用するセルについては廃棄処理を行うことにより、他の加入者の申告値以内の帯域で伝送するセルは廃棄されないようにするポリシング制御が知られている。これは、UPC(Usage Parameter Control)とも称されるものである。このようなポリシング制御を経済的な構成で実現することが要望されている。

## 【0002】

【従来の技術】 図6は従来例のブロック図を示し、81は違反判定回路、82は加入者からのポリシング申告

値、83はパラメータ保持部、84はセル情報分岐部、85はセル制御部、86は遅延部である。ポリシング制御回路又はUPC回路は、違反判定回路81とパラメータ保持部83とを主要部として構成され、呼設定時に、加入者からのポリシング申告値82がパラメータ保持部83に保持され、呼設定後に到着したセルのヘッダ等がセル情報分岐部84により分岐されて違反判定回路81に加えられる。違反判定回路81は、パラメータ保持部83に保持された加入者からの伝送帯域等のポリシング申告値以内の到着セルの状態であるか否かを監視し、申告値を超えた状態となったセルについては、セル制御部85に於いて廃棄させるか、又は廃棄優先度を高くするように制御する。なお、遅延部85は、違反判定回路81等に於ける処理遅延を補償する為のものである。

【0003】 ATM通信方式に於けるセルは、図7に示すように、5バイトのヘッダと48バイトの情報フィールドとからなり、ヘッダは、4ビット構成のフロー制御部GFC(Generic Flow Control)と、1バイト構成の論理パスの識別子VPI(Virtual Path Identifier)と、2バイト構成の論理チャンネルの識別子VCI(Virtual Channel Identifier)と、2ビット構成のペイロード部PT(Payload Type)と、1ビット構成のリザーブ部RES(Reserve)と、1ビット構成のセル廃棄優先度部CLP(Cell Loss Priority)と、1バイト構成のヘッダ誤り制御部HEC(Header Error Control)とからなるものである。

【0004】 図7に示すセルの構成は、ユーザネットワークインタフェースに関連したものであるが、網間インタフェースの場合には、フロー制御部GFCを論理パス識別子VPIとした構成、即ち、20ビット構成の論理パス識別子VPIとした構成となる。又情報フィールド中に、3バイトのユーザ情報等を挿入するアダプティブヘッダを設けることもできる。又違反判定回路81に於いて加入者の申告値以上のセルが到着したことを判定した時、セル制御部85に於いてセル廃棄優先度部CLPを高くセットして、ATM交換機のバッファがオーバーフローするような場合に、セル廃棄を他のセルに比較して優先させることができる。

【0005】 到着セルがポリシング申告値に対して違反しているか否かを違反判定回路81に於いて判定するものであるが、その判定の為のポリシング方式は、例えば、図8に示すように、時間間隔法とT-X法とDB法とCATM法とが知られている。時間間隔法は、或る加入者のセルが到着した時間間隔tを測定し、ポリシング申告値に基づいた規定時間Tと比較して、この規定時間Tを超えた時に違反と判定するものである。又T-X法は、規定時間T内に到着したセル数xをカウントし、ポリシング申告値に基づいた規定値Xと比較して、この規定値Xを超えた時に違反と判定するものである。

【0006】 又DB(Dangerous Bridge)法は、T-

X法に於ける規定時間Tを1セル分の時間毎にシフトし、それぞれの規定時間T内に到着するセル数xをカウントして、規定値Xと比較し、この規定値を超えた時に違反と判定するものである。従って、T-X法の場合に、規定時間T内では到着セル数xが規定値X以下であるが、規定時間Tの境界に跨がって多量の到着セル数xとなった場合、違反と判定しないことになるが、DB法は、規定時間Tを図示のようにシフトした状態として、各規定時間T内の到着セル数xをカウントするから、T-X法の欠点を改善することができる。又CAT-M

(Cell Arrival Time-Memory)法は、X+1個

のセルが到着した時間tを総ての位相(1セル分の時間)について測定し、規定時間Tと比較して、この規定時間Tを超えた時に違反と判定するものである。

【0007】

【発明が解決しようとする問題点】ポリシング方式の中の時間間隔法は、ハイウェイ速度に対するパス速度によって設定精度が相違するものであり、例えば、ハイウェイ速度が150Mbpsの場合に、規定時間Tとパス速度との関係は、

$T=2000 \rightarrow 75.00 \text{ kbps}$

$T=2001 \rightarrow 74.96 \text{ kbps}$

$T=2002 \rightarrow 74.93 \text{ kbps}$

となる。即ち、セルの到着時間間隔tを、2000個のセル毎の到着時間間隔に設定した時、ハイウェイ速度が150Mbpsであるから、 $150/2000=0.075 \text{ [Mbps]} (=75 \text{ kbps})$ となり、又2001個のセル毎の到着時間間隔に設定した場合は、 $150/2001=0.07496 \text{ [Mbps]} (=74.96 \text{ kbps})$ となり、数100bps程度の細かさでパス速度を設定することができる。

【0008】しかし、ハイウェイ速度に対するパス速度が遅い場合には、細かい設定ができない欠点がある。例えば、前述の場合と同様に、ハイウェイ速度が150Mbpsの場合に、

$T=1 \rightarrow 150.0 \text{ Mbps}$

$T=2 \rightarrow 75.0 \text{ Mbps}$

$T=3 \rightarrow 50.0 \text{ Mbps}$

となり、セルの到着時間間隔tを、1個のセル毎の到着時間間隔に設定した場合は、ハイウェイを同一セル種別のセルのみが伝送されるから、パス速度は、ハイウェイ速度と同じ150Mbpsとなり、2個のセル毎の到着時間間隔に設定すると、 $150/2=75 \text{ [Mbps]}$ となり、パス速度はT=1の時の1/2となる。又3個のセル毎の到着時間間隔(T=3)に設定すると、パス速度は1/3の50Mbpsとなる。従って、100Mbpsのパス速度や85Mbpsのパス速度等のハイウェイ速度の整数分の一以外のパス速度に設定することができない欠点があった。

【0009】又、T-X法、DB法、CAT-M法等の

「T時間内のセル数X個」で規定する方法に於いては、前述のパス到着時間間隔tで規定する時間間隔法に比較して、ハイウェイ速度に対するパス速度が遅い場合に於いても細かい設定が可能である。例えば、ハイウェイ速度が前述の場合と同様に150Mbpsの場合に、

$T=1, X=1 \rightarrow 150.0 \text{ Mbps}$

$T=4, X=3 \rightarrow 112.5 \text{ Mbps}$

$T=3, X=2 \rightarrow 100.0 \text{ Mbps}$

となる。即ち、4個のセル毎の時間T内に3個の到着セル数を規定値Xとした場合、 $(150/4) \times 3 = 112.5 \text{ [Mbps]}$ となり、又3個のセル毎の時間T内に2個の到着セル数を規定値Xとした場合、 $(150/3) \times 2 = 100 \text{ [Mbps]}$ となるから、時間間隔法に比較して細かい設定が可能となる。

【0010】しかし、ハイウェイ速度に対するパス速度が遅い場合には、規定時間Tが大きい値となるから、それに対応してハードウェアが大きくなる欠点がある。例えば、T-X法に於いては、各セル種別毎に時間Tの最大値Tmaxまでの時間カウンタと、最大値Tmaxまでの到着セルをカウントできる容量のカウンタが必要となり、又DB法に於いては、最大値Tmaxに対応する容量のブリッジメモリと、各セル種別毎に最大値Tmaxまでカウントできる到着セル数カウンタとが必要となる。又CAT-M法に於いては、各セル種別毎に最大値Tmax個の到着時刻を記憶するメモリが必要となる。本発明は、パス速度の細かい設定を可能とし、且つハードウェアの削減を図ることを目的とする。

【0011】

【課題を解決するための手段】本発明のポリシング制御回路は、図1を参照して説明すると、非同期転送モード(ATM)通信方式に於ける加入者からのポリシング申告値と、セルのトラヒックの測定値とを比較して制御を行うポリシング制御回路に於いて、セルのトラヒックを測定して違反セルか否かを判定する複数種類の違反判定回路1-1~1-nと、加入者からのポリシング申告値に従って複数種類の違反判定回路1-1~1-nの中の一つを選択する選択回路2とを備えたものであり、加入者からのポリシング申告値はパラメータ保持部3に保持される。

【0012】又セルの到着時間間隔により違反判定を行う第1の違反判定回路と、所定時間内に於ける到着セル数により違反判定を行う第2の違反判定回路とを備えた構成とする。

【0013】又所定時間内に於ける到着セル数により違反判定を行う第2の違反判定回路と、所定セル数の到着時間間隔により違反判定を行う第3の違反判定回路とを備えた構成とする。

【0014】又選択回路2は、到着セルのセル識別情報に従って制御する構成とするか、又はハイウェイ速度に対する加入者のポリシング申告値のパス速度に従って制

御する構成とする。

【0015】

【作用】呼設定時の加入者からのポリシング申告値は、パラメータ保持部3に保持される。そして、セル情報分岐部4に於いて到着セルのヘッダが分岐されて選択回路2に加えられ、パラメータ保持部3に保持されたポリシング申告値と到着セルのセル識別情報とに従って選択回路2が制御され、複数種類の違反判定回路1-1~1-nの中の一つが選択され、セルのトラヒック測定が行われ、パラメータ保持部3に保持されたポリシング申告値に基づいた所定時間や規定数等との比較により、違反か否かの判定が行われ、違反セルについては、セル制御部5に於いてセル廃棄等の処理が行われる。遅延部6は、違反判定回路1-1~1-n等に於ける処理遅延を補償する為のものである。又複数種類の違反判定回路1-1~1-nは、それぞれ時間間隔法、T-X法、DB法、CAT-M法等の各種のポリシング方式に従った構成を有し、ハードウェアが小さくても済むポリシング申告値に従った構成を選択するものである。

【0016】又セル到着時間間隔により違反判定を行う第1の違反判定回路は、時間間隔法により違反判定を行うものであり、例えば、ハイウェイ速度に対するバス速度を遅くして、セル到着時間間隔 $t$ を大きくした場合に、ハードウェアを大きくすることなく、細かい設定が可能となる。又所定時間内に於ける到着セル数により違反判定を行う第2の違反判定回路は、T-X法、DB法等により違反判定を行うものであり、例えば、ハイウェイ速度に対するバス速度を速くし、規定時間 $T$ を短くすることにより、ハードウェアを大きくすることなく、細かい設定が可能となる。

【0017】又所定セル数の到着時間間隔により違反判定を行う第3の違反判定回路は、CAT-M法により違反判定を行うもので、規定時間 $T$ が大きく、規定値 $X$ が小さい場合は、ハードウェアを大きくすることなく細かい設定が可能となる。これに対して、T-X法又はDB法による第2の違反判定回路は、規定時間 $T$ が小さく、規定値 $X$ が大きい場合に、ハードウェアを大きくすることなく細かい設定が可能となる。

【0018】又到着セルのヘッダの論理パス識別子VPIや論理チャネル識別子VCI等のセル識別情報により、セル種別を識別することができるから、このセル種別とポリシング申告値に基づいて選択される違反判定回路との対応付けを行っておき、セル識別情報に従った違反判定回路を選択するように選択回路2を制御するものである。

【0019】又ハイウェイ速度に対する加入者のポリシング申告値のバス速度が遅い場合、時間間隔法による第1の違反判定回路がハードウェアを大きくすることなく、細かい設定が可能となり、又ハイウェイ速度に対する加入者のポリシング申告値のバス速度が速い場合、T

-X法、DB法、CAT-M法による違反判定回路がハードウェアを大きくすることなく、細かい設定が可能となるから、ポリシング申告値に基づいてハードウェアを大きくしないで済むポリシング方式に従った違反判定回路を選択するものである。

【0020】

【実施例】図2は本発明の一実施例のブロック図であり、11-1は時間間隔法による違反判定回路、11-2はT-X法による違反判定回路、12は選択回路、13はパラメータ保持部、14はセル情報分岐部、15はセル制御部、16は遅延部、17はカウンタ、18は比較制御部、19はカウンタ、20は比較制御部、CLKはクロック信号、TMは所定時間 $T$ のタイミング信号である。

【0021】パラメータ保持部13は、ランダムアクセスメモリ(RAM)等により構成され、呼設定時に加入者のポリシング申告値を保持するものであり、例えば、呼設定時に与えられる論理パス識別子VPI<sub>1</sub>, VPI<sub>2</sub>, VPI<sub>3</sub> 対応に、ポリシング申告値に基づいた規定時間 $T_1$ ,  $T_2$ ,  $T_3$  と規定値 $X_1$ ,  $X_2$ ,  $X_3$  と、選択情報 $\alpha_1$ ,  $\alpha_2$ ,  $\beta_1$  とが保持される。又違反判定回路11-1, 11-2は、セル種別対応に設けられるものであるが、簡略化の為に、一種類のセルに対応する構成のみを示している。又選択情報 $\alpha_1$ ,  $\alpha_2$  は、セル種別対応の第1の違反判定回路を選択することを示し、 $\beta_1$  は、セル種別対応の第2の違反判定回路を選択することを示す。このようなポリシング申告値に従ったパラメータ保持部13の設定情報は、図示を省略した制御部のプログラム処理による技術によって容易に設定することができる。

【0022】時間間隔法による第1の違反判定回路11-1は、クロック信号CLKがクロック端子Cに加えられ、且つ到着セル情報がリセット端子Rに加えられるカウンタ17と、比較制御部18とから構成され、リセット直前のカウンタ17のカウント内容は、前回のセル到着時刻から今回のセル到着時刻との間の時間間隔 $t$ を示すものとなるから、セル到着毎に、比較制御部18に於いてパラメータ保持部13に保持された規定時間 $T$ と比較され、 $t < T$ の場合に違反と判定されて、セル制御部15に制御信号が加えられ、そのセルを廃棄するか、或いは、セル廃棄優先度部CLPにより廃棄の優先度を高くするように設定される。

【0023】又T-X法による違反判定回路11-2は、タイミング信号TMがリセット端子Rに加えられ、且つ到着セル情報がクロック端子Cに加えられるカウンタ19と、比較制御部20とから構成され、カウンタ19のカウント内容は、規定時間 $T$ 内に到着したセル数 $x$ を示すものとなるから、タイミング信号TMによる規定時間 $T$ 毎に、比較制御部20に於いて到着セル数 $x$ と、パラメータ保持部13に保持された規定値 $X$ と比較さ

れ、 $x > X$ の場合に違反と判定されて、セル制御部15に制御信号が加えられ、そのセルを廃棄するか、或いは、セル廃棄優先度部CLPにより廃棄の優先度を高くするように設定される。

【0024】時間間隔法による違反判定回路11-1は、他のポリシング方式による違反判定回路に比較してハードウェアを小さくできる利点を有するものであるが、前述のように、ハイウェイ速度に対するパス速度が速い場合には、細かな設定ができないものである。これに対して、 $T-X$ 法による違反判定回路11-2は、ハイウェイ速度に対するパス速度が速い場合でも細かな設定が可能である利点を有するものであるが、ハイウェイ速度に対するパス速度が遅くなる程、規定時間 $T$ が大きくなるから、ハードウェアが大きくなる。

【0025】そこで、加入者のポリシング申告値が、ハイウェイ速度に対するパス速度が遅い内容の場合は、第1の違反判定回路11-1を選択させ、反対に、ハイウェイ速度に対するパス速度が速い内容の場合は、第2の違反判定回路11-2を選択させるように、選択回路12を制御するものである。従って、第2の違反判定回路11-2は、規定時間 $T$ の最大値 $T_{max}$ に対応する構成としないから、ハードウェアを従来例に比較して小さくすることができ、且つパス速度の如何に拘らず細かな設定が可能となる。又到着セルのヘッダの論理パス識別子VPI等のセル識別情報と選択情報 $\alpha$ 、 $\beta$ とを対応させて、セル識別情報に従って選択回路12を制御することにより、到着セルに対する処理を高速化することができる。又選択回路12にパラメータ保持部13のアクセス等の制御機能及び選択情報の判定機能を設けて、違反判定回路11-1、11-2の選択制御を行わせることも可能である。

【0026】図3は本発明の他の実施例のブロック図であり、21-1は時間間隔法による違反判定回路、21-2はDB法による違反判定回路、22は選択回路、23はパラメータ保持部、24はセル情報分岐部、25はセル制御部、26は遅延部、27はカウンタ、28は比較制御部、29はシフトレジスタ、30はカウンタ(CTR)、31は比較制御部である。パラメータ保持部23の内容は、図2に示すパラメータ保持部13と同一の場合を示し、セル情報分岐部24により分岐された到着セルのヘッダの論理パス識別子VPIによりアクセスされて、選択回路22を制御する選択情報 $\alpha$ 、 $\beta$ が読出される場合を示す。

【0027】時間間隔法による違反判定回路21-1は、図2に示す実施例の違反判定回路11-1と同一の構成をするものである。又DB法による違反判定回路21-2は、到着セル情報を規定時間 $T$ にわたって1セル時間に相当するクロック信号に従ってシフトするシフトレジスタ29と、カウンタ30と、比較制御部31とから構成され、シフトレジスタ29がブリッジメモリに相

当することになる。又カウンタ30は、シフトレジスタ29に入力される到着セル情報によりアップカウント(UP)し、シフトレジスタ29からシフト出力される到着セル情報によりダウンカウント(DN)するから、そのカウント内容は、規定時間 $T$ 内に於ける到着セル数 $x$ を示すものとなる。そして、比較制御部31に於いて1セル時間毎にパラメータ保持部23に保持された規定値 $X$ と比較し、 $x > X$ の場合に違反と判定してセル制御部25に制御信号を加えることになる。なお、シフトレジスタ29は、ランダムアクセスメモリのアドレス制御による等価的なシフト動作により実現することも可能である。

【0028】この実施例に於いても、ハイウェイ速度に対するパス速度が遅い場合に、時間間隔法による違反判定回路21-1を選択し、反対に、ハイウェイ速度に対するパス速度が速い場合に、DB法による違反判定回路21-2を選択するように、選択回路22を制御することができる。それにより、違反判定回路21-2は、規定時間 $T$ の最大値 $T_{max}$ に対応する構成とする必要がないから、ハードウェアを従来例に比較して小さくすることができ、且つパス速度の如何に拘らず細かな設定が可能となる。

【0029】図4は本発明の更に他の実施例のブロック図であり、41-1は時間間隔法による違反判定回路、41-2はCATM法による違反判定回路、42は選択回路、43はパラメータ保持部、44はセル情報分岐部、45はセル制御部、46は遅延部、47はカウンタ、48は比較制御部、49はシフトレジスタ、50は時計部、51は時間差算出部、52は比較制御部である。セル情報分岐部44とセル制御部45と遅延部46とは、図2、図3に示す各実施例に於ける同一部分と同一の機能を有するものである。

【0030】時間間隔法による違反判定回路41-1は、図2及び図3に示す実施例の違反判定回路11-1、21-1と同一の構成を有するものである。又CATM法による違反判定回路41-2は、セル到着毎の時計部50が示す時刻をシフトレジスタ49に入力する。図示の状態は、 $X+1$ 個前の到着セルの到着時刻が $T_1$ で、現時点の到着セルの到着時刻が $T_n$ の場合を示し、時間差算出部51に於いて $X+1$ 個のセルの到着時間間隔 $t$ を $T_1 - T_n$ により求め、パラメータ保持部43に保持された規定時間 $T$ と比較制御部52に於いて比較し、 $t < T$ の場合に違反と判定し、セル制御部45に制御信号を加えることになる。このシフトレジスタ71を、セル到着時刻を記憶できるランダムアクセスメモリのアドレス制御によって実現することも可能である。又時計部70は、時刻情報を出力する構成であれば、ソフト時計等の各種の機能を用いることができる。

【0031】CATM法による違反判定回路41-2は、 $X+1$ の値を大きくする程、ハードウェアが大き

なる。そこで、到着セル数 $x$ の規定値 $X$ を大きくするポリシング申告値の場合に、時間間隔法による違反判定回路41-1を選択し、反対に、規定値 $X$ を小さくするポリシング申告値の場合に、CAT-M法による違反判定回路41-2を選択するように、選択回路42を制御することになる。それによって、ハードウェアを大きくすることなく、細かい設定が可能となる。

【0032】図5は本発明の更に他の実施例のブロック図であり、61-1はDB法による違反判定回路、61-2はCAT-M法による違反判定回路、62は選択回路、63はパラメータ保持部、64はセル情報分岐部、65はセル制御部、66は遅延部、67はシフトレジスタ、68はカウンタ、69は比較制御部、70は時計部、71はシフトレジスタ、72は時間差算出部、73は比較制御部である。セル情報分岐部64とセル制御部65と遅延部66とは、前述の各実施例に於ける同一部分と同一の機能を有するものである。

【0033】DB法による違反判定回路61-1は、図3の実施例の違反判定回路21-2と同一の構成を有し、カウンタ68は、シフトレジスタ67に入力される到着セル情報をカウントアップし、シフトレジスタ67からシフト出力される到着セル情報をカウントダウンするものであり、比較制御部69に於いてカウンタ68のカウント内容とパラメータ保持部69に保持されたポリシング申告値に基づく規定値 $X$ との比較が行われる。又CAT-M法による違反判定回路61-2は、図4の実施例の違反判定回路41-2と同一の構成を有するものである。

【0034】DB法による違反判定回路61-1は、規定時間 $T$ が小さい場合にハードウェアが小さくなり、又CAT-M法による違反判定回路61-2は、規定値 $X$ が小さい場合にハードウェアが小さくなるから、ポリシング申告値に基づいて規定時間 $T$ が小さく、規定値 $X$ が大きい場合に、DB法による違反判定回路61-1を選択し、反対に、規定時間 $T$ が大きく、規定値 $X$ が小さい場合に、CAT-M法による違反判定回路61-2を選択するように、選択回路62を制御することになる。そ

れによって、ハードウェアを大きくすることなく、細かい設定が可能となる。

【0035】本発明は前述の実施例のみに限定されるものではなく、図1に示すように、二種類以上の違反判定回路を設けて、ポリシング申告値に基づいて選択することも可能であり、複数の違反判定回路を設けたとしても、それぞれのハードウェアが小さくなるから、全体としてのハードウェアも小さくなり、経済化を図ることができる。

【0036】

【発明の効果】以上説明したように、本発明は、時間間隔法、T-X法、DB法、CAT-M法等の各種のポリシング方式による違反判定回路1-1~1-nを設け、加入者のポリシング申告値に基づいたパス速度、規定時間 $T$ 、規定値 $X$ 等に従って選択回路2を制御し、複数の違反判定回路1-1~1-nの中の一つを選択するもので、ハードウェアが小さく、且つパス速度等を細かく設定できる違反判定回路を選択使用することができるから、円滑なポリシング制御を可能とすると共に、全体のハードウェアを縮小することができる利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例のブロック図である。

【図3】本発明の他の実施例のブロック図である。

【図4】本発明の更に他の実施例のブロック図である。

【図5】本発明の更に他の実施例のブロック図である。

【図6】従来例のブロック図である。

【図7】セルの説明図である。

【図8】ポリシング方式の説明図である。

【符号の説明】

1-1~1-n 違反判定回路

2 選択回路

3 パラメータ保持部

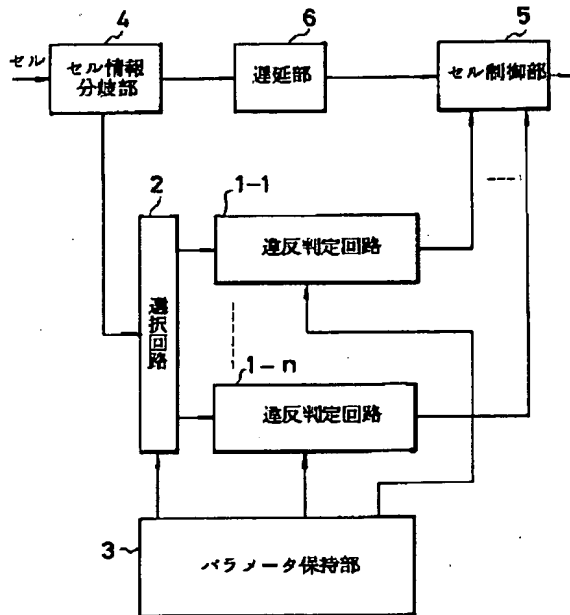
4 セル情報分岐部

5 セル制御部

6 遅延部

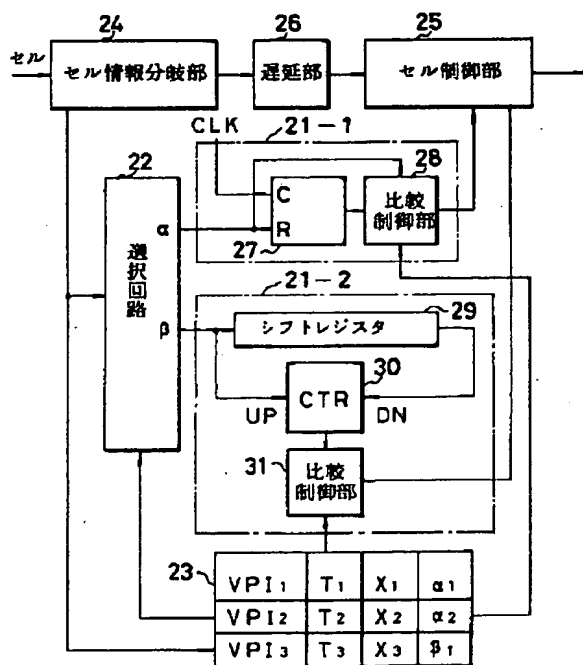
【図1】

本発明の原理説明図



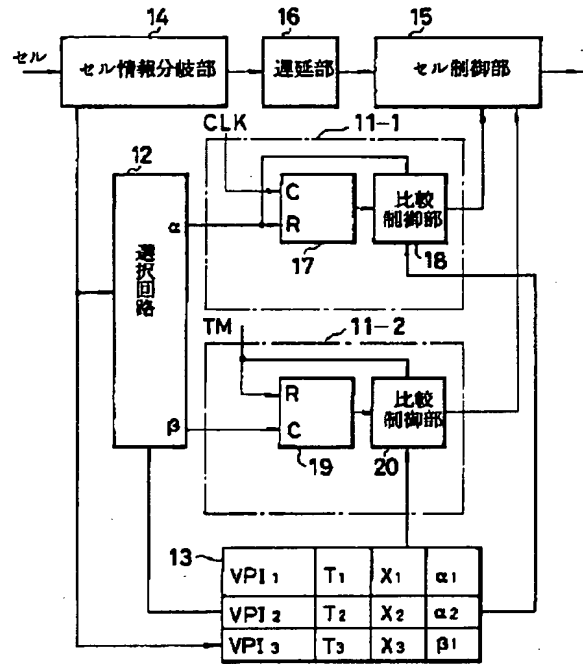
【図3】

本発明の他の実施例のブロック図



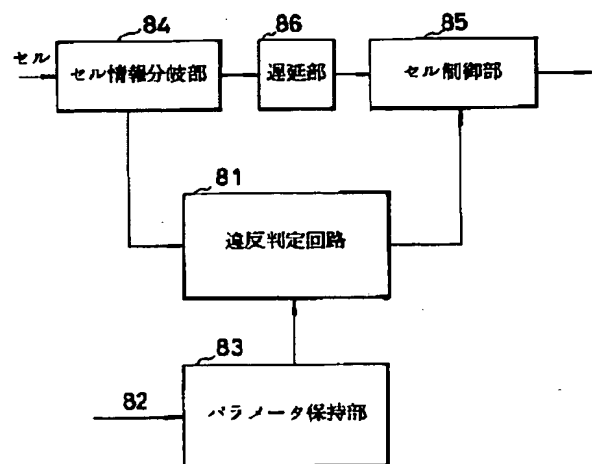
【図2】

本発明の一実施例のブロック図



【図6】

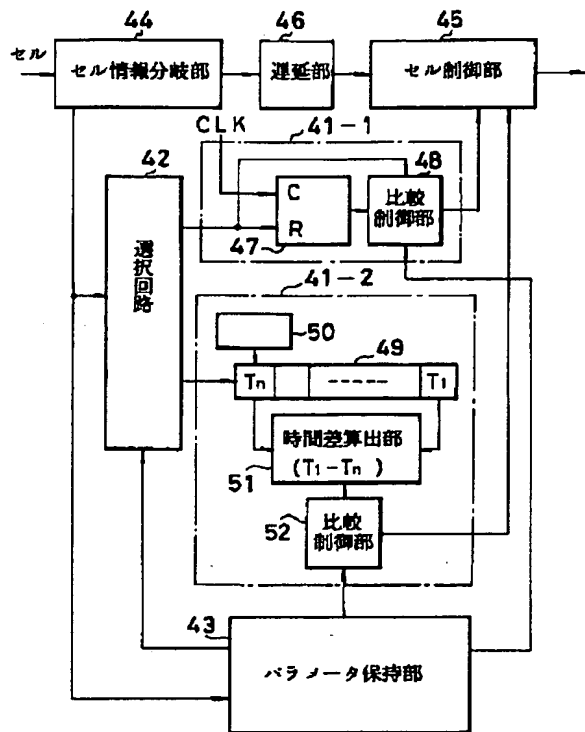
従来例のブロック図





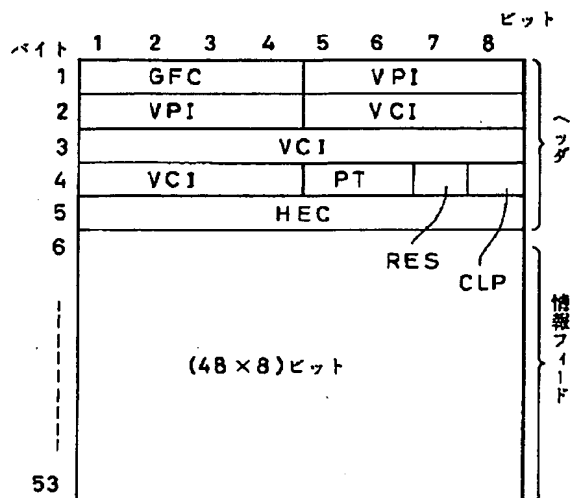
【図4】

本発明の更に他の実施例のブロック図



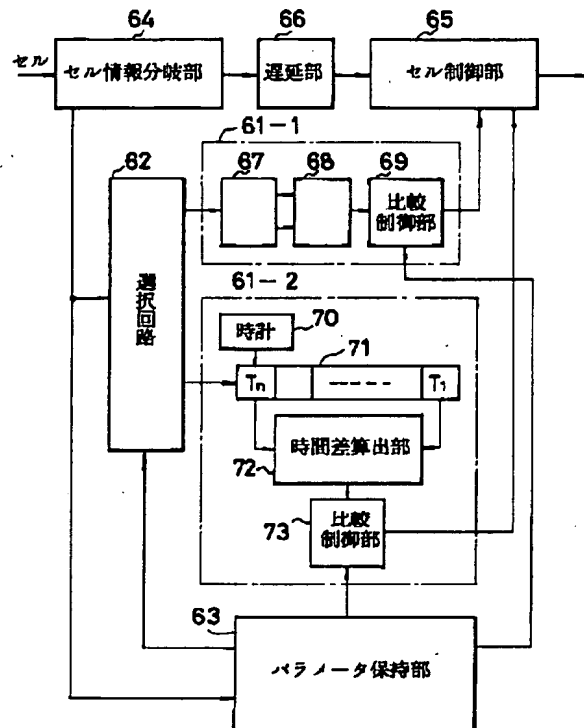
【図7】

セルの説明図



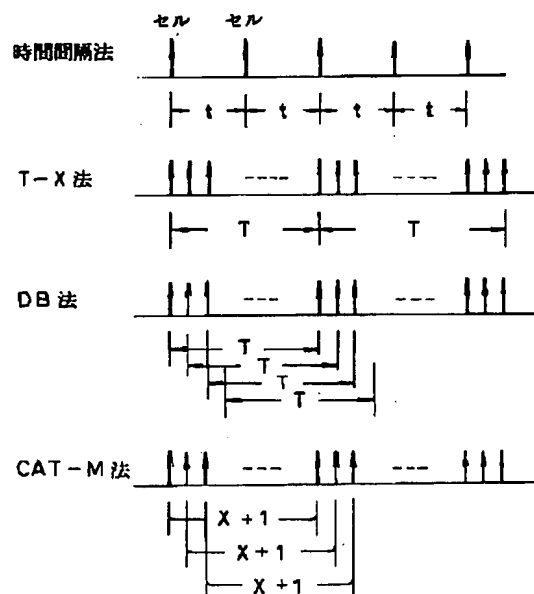
【図5】

本発明の更に他の実施例のブロック図



【図8】

ポリシング方式の説明図



## フロントページの続き

(72)発明者 山中 直明  
東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内

(72)発明者 佐藤 陽一  
東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内